

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

JPAB

CLIPPEDIMAGE= JP358070662A

PAT-NO: JP358070662A

DOCUMENT-IDENTIFIER: JP 58070662 A

TITLE: DIGITAL INTEGRATED CIRCUIT

PUBN-DATE: April 27, 1983

INVENTOR-INFORMATION:

NAME

KAWASAKI, SHUNPEI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD

N/A

APPL-NO: JP56168711

APPL-DATE: October 23, 1981

INT-CL (IPC): H04L025/49; H01L027/08

US-CL-CURRENT: 257/208

ABSTRACT:

PURPOSE: To reduce the rate of area of wirings on one chip, by decreasing the number of connection lines between circuits, through the transmission of signals between the circuits with multilevel signal.

CONSTITUTION: A binary signal in N-bit on N lines of external connection lines

3a~3m on an LSI chip 1 is inputted to a signal conversion circuit 2a, where

the binary signal is converted into a multilevel signal. The obtained

multilevel signal is given to signal conversion circuits 2b, 2c through

connection lines 5a~5m, less than N lines, and the signal is inverted into

a binary signal in N-bit and given to a processing circuit 4 and an external device.

COPYRIGHT: (C)1983, JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—70662

⑪ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 昭和58年(1983)4月27日

H 04 L 25/49

6684—5K

//H 01 L 27/08

6370—5F

発明の数 1

審査請求 未請求

(全 4 頁)

⑭ デジタル集積回路

社日立製作所武蔵工場内

⑯ 出 願 人 株式会社日立製作所

東京都千代田区丸の内1丁目5

番1号

⑰ 特 願 昭56—168711

⑱ 出 願 昭56(1981)10月23日

⑲ 発 明 者 河崎俊平

⑳ 代 理 人 弁理士 薄田利幸

小平市上水本町1450番地株式会社

明 細 書

発明の名称 デジタル集積回路

特許請求の範囲

第1の複数の配線を通じて供給される複数ビットの2値信号を上記第1の複数の配線よりも少ない数の第2の配線に供給するための信号に変換する第1の信号変換回路と上記第1の信号変換回路から出力された信号を元の2値信号に変換する第2の信号変換回路およびこれらの信号変換回路間を接続するための上記第2の配線とを備えたことを特徴とするデジタル集積回路。

発明の詳細な説明

この発明はデジタル集積回路、特に2値信号を多値レベルの信号に変換する信号変換回路と多値信号を2値信号にもどす信号変換回路とを備えたデジタル集積回路に関する。

現在、例えば16ビット系のマイコンを構成するLSI(大規模集積回路)においては、1チップ上に45,000〜68,000個程度のMOSFET等の素子が形成される。しかしながら、これらの素

子の占める面積は、チップ面積全体の約20〜30%にすぎず、残りの70〜80%の面積の大部分は、チップ上にブロック化して形成された単位的な機能回路間を接続する配線によって占められている。

これは、これまでのLSIにおいては、1コネクションには1ビットの信号しか送らないようにしていたため、多いときは配線が数百本も必要となっていたからである。

一方、現在、ICにおいては、更に素子を高集積するVLSI化が進められており、1チップ上に更に多くの素子、回路が形成されるようになってきている。ところが、素子の増加に伴って、ますます各回路間を接続する配線のチップ上に占める面積の比率が増加してしまうという問題点がある。

そこで、この発明は、LSIの入出力部および各単位的な回路に、2値信号を多値レベルの信号に変換し、またこれを逆変換するための信号変換回路をそれぞれ設け、機能回路間を接続するコネ

クシ、ン1本について2ビット以上の信号を乗せて送ることができるようにし、これによって、各回路間のコネクシ、ンの本数を減らし、1チップ上に占める配線の面積の比率を減少させることを目的とする。

以下図面に基づいて本発明を説明する。

第1図は本発明の一実施例を示すものである。図において、1はLSIチップ、2a~2cはLSIチップ1上に設けられた信号変換回路である。信号変換回路2aはLSIチップ1の入力部に設けられており、外部からNビットの2値信号を導入するN本の接続線3a、3b……3nが接続されている。そして、信号変換回路2aは、外部から入力された2値信号を多値レベルの信号に変換して、チップ1上にブロック化して形成された適当な信号処理回路4の近傍に設けられている信号変換回路2bに出力する。従って、上記信号変換回路2aと2bとは、外部接続線3a~3nよりも少ないm本のコネクシ、ン5a~5mによって接続されている。

デコーダ8aは2ビットの2値信号を受けて、これに応じて上記スイッチMOSFET $Q_{a1} \sim Q_{a4}$ のうちいずれか一つを選択し、そのゲート電極に所定の電圧を印加して、これをオンさせる。オンされたMOSFET $Q_{a1} \sim Q_{a4}$ は、対応された電圧 $V_a \sim V_d$ の一つを、一本の共通のコネクシ、ン5へ送り出す。

すなわち、送信部Aにおいては、接続線3a、3bより入力された2ビットの2値信号に対応した4段階の電圧 $V_a \sim V_d$ のいずれか一つが選択されることにより、多値レベルの信号に変換されて、一本のコネクシ、ン5を通過して受信部Bへ送信されることになる。

次に、受信部Bは、特に制限されないが、上記送信部Aから送信された多値レベルの信号によって駆動される4個のインバータと、デコーダ8bとを含む。上記インバータは、それぞれ負荷MOSFET $Q_b$ と駆動用MOSFET $Q_{b1}$ 、 $Q_{b2}$ 、 $Q_{b3}$ または $Q_{b4}$ とからなる。各駆動用MOSFET $Q_{b1} \sim Q_{b4}$ のゲート電極は、それぞれ上記

上記信号変換回路2bは上記回路2aにより変換された多値レベルの信号を受けて、これを元のNビットの2値信号に変換して、信号処理回路4に供給する。

なお、信号変換回路2cは、信号処理回路4から出力されて信号変換回路2bにて変換された信号等を、同じく元のNビットの2値信号に変換して、LSIチップ外部の他の装置等に供給する。

第2図は上記信号変換回路2a~2cの具体的な回路構成の一例を示すもので、送信部Aと受信部Bとにより一組の信号変換回路が構成されている。図面には説明を簡単にするため、一例として、2ビットの2値信号を変換する回路を示してある。

送信部Aは基準電圧発生回路7と、4個のスイッチMOSFET $Q_{a1}$ 、 $Q_{a2}$ 、 $Q_{a3}$ 、 $Q_{a4}$ およびデコーダ8aを含む。電圧発生回路7は4段階の固定的な電圧 $V_a$ 、 $V_b$ 、 $V_c$ 、 $V_d$ を発生する。スイッチMOSFET $Q_{a1} \sim Q_{a4}$ は、上記電圧発生回路7において発生された電圧 $V_a \sim V_d$ を各々別個に引き出すスイッチ機能を有する。また、上記

コネクシ、ン5に接続されていて、上記送信部Aから送出された多値レベルの信号が供給される。

そして、各インバータ( $Q_a$ 、 $Q_{b1}$ )~( $Q_a$ 、 $Q_{b4}$ )は、それぞれの駆動用MOSFET $Q_{b1} \sim Q_{b4}$ の $W/L$ 比(ゲート電極の幅 $W$ と長さ $L$ との比)を変えることによって、回路の閾値しきい値電圧が異なるように構成されている。

つまり、各インバータ( $Q_a$ 、 $Q_{b1}$ )~( $Q_a$ 、 $Q_{b4}$ )は、それぞれのしきい値電圧を $V_{th1} \sim V_{th4}$ とすると、送信部Aからの多値レベルの信号 $V_a \sim V_d$ に対して、 $V_{th1} < V_a < V_{th2} < V_b < V_{th3} < V_c < V_{th4} < V_d$ となるようにされている。

従って、多値レベルの信号の電圧が最も低い $V_a$ のときは、インバータ( $Q_a$ 、 $Q_{b1}$ )の出力のみがロウレベルで他のインバータの出力はハイレベルとなる。そして、多値レベルの信号の電圧が $V_b \rightarrow V_c \rightarrow V_d$ と順に上がるに従って、ロウレベルの信号を出力するインバータの数が増えて行く。

デコーダ8bはプライオリティデコーダであっ

て、上記インバータ( $Q_{b1}, Q_{b1}$ )~( $Q_{b1}, Q_{b1}$ )からのロウレベルの出力信号の優先度を判別することによって、それに応じた2値信号を出力する。すなわち、多値レベルの信号の電圧に対応された2値信号を出力することにより、送信部Aにて変換された多値レベルの信号を元の2ビットの2値信号に戻してやるのである。

このように、送信部Aにて2値信号を多値レベル信号に変換して受信部Bに送り、これを逆変換するようにしたことにより、回路間を結ぶコネクションの数を減らすことができたのである。

なお、上記実施例では、2ビットの2値信号を変換する回路を説明したが、Nビットの2値信号を同様にして多値レベルの信号に変換して送信することも可能である。

また、2値信号を多値レベル信号の他、アナログ信号やPCM(pulse code modulation)等の種々の信号形態に変換して送信するようにしてもよい。

さらに、第1図に示した信号変換回路2a~2c

$Q_{b1}, Q_{b1}, (Q_{b1}, Q_{b1}) \dots$ に代えて、多値入力信号がゲートに供給される入力MOSFETと、そのソースに直列接続された4個の負荷MOSFETを含むような分圧回路と、この分圧回路における各負荷MOSFETの接続点にそれぞれの入力が接続された互いにしきい値電圧の等しい複数のインバータとを用いることができる。また、互いにしきい値電圧の異なるインバータにかえて互いに異なる参照電圧が供給される複数のコンパレータを用いることができる。

本発明は実施例に限定されない。例えば、導線3a~3nを、双方向性導線として用いる場合、信号変換回路2aは、LSI外部から導線3a~3nに供給された信号を、導線5a~5mに供給すべき信号に変換するための変換回路と、導線5a~5mに供給された信号を導線3a~3nに供給するための信号に変換する信号変換回路から構成されてよい。信号変換回路2b, 2cも同様に双方向性回路とされてよい。

に、それぞれ第2図の送信部Aおよび受信部Bの両機能を持たせて、コネクション5a~5nを介して双方向の信号伝達を行なわせるように構成することも可能である。

この発明は以上説明したように構成されているので、Nビットの2値信号に対してNより少ないn本のコネクションを各単位的回路間に設ければよい。そのため、信号変換回路を設けることにより、素子の占める面積がその分だけ増加しても、現在の技術では配線の数が減少することによる配線の占有面積の減少分の方が大きい。LSI全体としてはチップサイズを小さくすることができる。しかも、これによって歩留も向上する。また、配線数が減少するため、設計の際にけるレイアウトのミスが減少するという効果もある。特に本発明は、配線の占有面積の比率が大きくなるVLSIに有効である。

なお、前記受信部B等は、第2図に示す回路に限定されるものではない。例えば、図示のようなしきい値電圧が互いに異なるインバータ( $Q_{b1}$ ,

#### 図面の簡単な説明

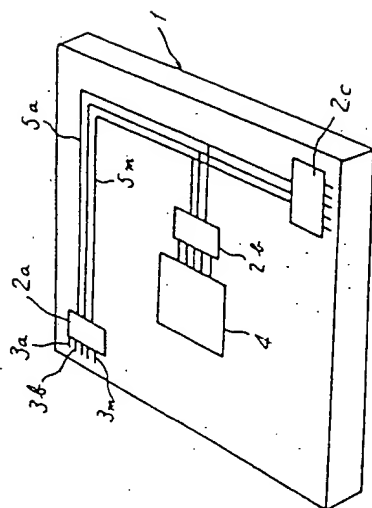
第1図は本発明に係るディジタル集積回路の一実施例を示す概略斜視図、第2図はその信号変換回路の一実施例を示す回路図である。

1...ICチップ、2a, 2b, 2c...信号変換回路、5a~5n...配線(コネクション)、A...送信部、B...受信部。

代理人 弁理士 薄田利幸



第 1 图



第 2 图

